

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-260884

(43) 公開日 平成7年(1995)10月13日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/28				
G 1 1 C 11/401				
29/00	3 0 3 E	7004-5L		
			G 0 1 R 31/ 28	V
			G 1 1 C 11/ 34	3 7 1 A
			審査請求 未請求	請求項の数2 OL (全 6 頁)

(21) 出願番号 特願平6-47479

(22) 出願日 平成6年(1994)3月17日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 玉井 良二

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 恩田 博宣

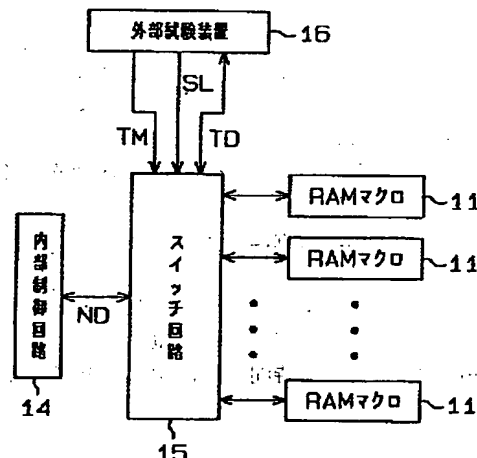
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【目的】 本発明は試験用の外部端子数を増加させることなく、同一チップに設けられた多数のRAMマクロの試験時間を短縮し得る半導体集積回路装置を提供することを目的とする。

【構成】 内部制御回路14は複数のRAMマクロ11に通常データNDを出力して、セル情報の書き込み動作及び読み出し動作を行う。スイッチ回路15はテストモード信号TMとマクロ選択信号SLとに基づいて、該RAMマクロ11を順次試験装置16に接続して各RAMマクロ11のデータ保持試験を行う。スイッチ回路15は、テストモード信号TMとマクロ選択信号SLとに基づいてRAMマクロ11に対し試験装置16によるテストデータTDの書き込み動作及び読み出し動作を可能とする。スイッチ回路15はマクロ選択信号SLに基づいて選択されないRAMマクロ11と内部制御回路14との接続を遮断する。

本発明の原理説明図



BEST AVAILABLE COPY

**【特許請求の範囲】**

**【請求項 1】** 複数の RAM マクロ (11) と、前記各 RAM マクロ (11) に通常データ (ND) を出力して、セル情報の書き込み動作及び読み出し動作を行う内部制御回路 (14) と、外部試験装置 (16) から入力されるテストモード信号 (TM) と、前記各 RAM マクロ (11) のいずれか一つを選択するマクロ選択信号 (SL) とに基づいて、該 RAM マクロ (11) を順次外部試験装置 (16) に接続して各 RAM マクロ (11) のデータ保持試験を行うスイッチ回路 (15) とを備えた半導体集積回路装置であって、前記スイッチ回路 (15) は、前記テストモード信号 (TM) とマクロ選択信号 (SL) とに基づいて前記 RAM マクロ (11) を選択して当該 RAM マクロ (11) に対し前記外部試験装置 (16) によるテストデータ (TD) の書き込み動作及び読み出し動作を可能とし、前記マクロ選択信号 (SL) に基づいて選択されない RAM マクロ (11) と内部制御回路 (14) との接続を遮断し、前記テストモード信号 (TM) が入力されないときは、前記内部制御回路 (14) を前記各 RAM マクロ (11) に接続することを特徴とする半導体集積回路装置。

**【請求項 2】** 前記スイッチ回路 (15) は、選択されない RAM マクロ (11) の入力端子を電源 (VEE) に接続することを特徴とする請求項 1 記載の半導体集積回路装置。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** この発明は、RAM を構成する多数のマクロセルとその他の論理回路を 1 チップに納めた半導体集積回路装置に関するものである。

**【0002】** 近年の半導体集積回路装置は益々高集積化が進み、1 チップに搭載される RAM マクロの数及び各 RAM マクロの記憶容量も増大している。このような半導体集積回路装置の各 RAM マクロが SRAM で構成されている場合、各記憶セルのデータ保持時間が仕様を満足するか否かを、あらかじめチップに設けられた試験用端子を使用して、外部試験装置によりチェックするデータ保持試験が、出荷時の動作試験において行われる。1 チップに搭載される RAM マクロの増大にともなう、データ保持試験に要する時間が長くなる傾向にあるため、データ保持試験に要する時間を短縮することが必要となっている。

**【0003】**

**【従来の技術】** 多数の RAM マクロを備えた半導体集積回路装置に搭載された試験回路を図 3 に従って説明する。

**【0004】** 外部試験装置から入力される複数ビットのマクロ選択信号はデコーダ (図示しない) に入力され、

同デコーダから多ビットの選択信号 SL0~SLn が出力され、例えば第一の RAM マクロ 1 を選択するために、同マクロ選択信号 SL0~SLn の中から 4 ビットのマクロ選択信号 SL0~SL3 が NAND 回路 2a に入力される。

**【0005】** 前記 NAND 回路 2a の出力信号はインバータ回路 3a を介して NAND 回路 2b の一方の入力端子に入力される。前記 NAND 回路 2b の他方の入力端子には、外部試験装置からテストモード信号 TM が入力される。

**【0006】** 前記 NAND 回路 2b の出力信号は、インバータ回路 3b に入力されるとともに、スイッチ回路 SW1 の制御端子 T1L と、スイッチ回路 SW2 の制御端子 T2H とに入力される。

**【0007】** 前記インバータ回路 3b の出力信号は、スイッチ回路 SW1 の制御端子 T1H と、スイッチ回路 SW2 の制御端子 T2L とに入力される。前記スイッチ回路 SW1 は制御端子 T1H が H レベル、制御端子 T1L が L レベルとなると閉路され、制御端子 T1H が L レベル、制御端子 T1L が H レベルとなると開路される。

**【0008】** 前記スイッチ回路 SW2 は制御端子 T2H が H レベル、制御端子 T2L が L レベルとなると閉路され、制御端子 T2H が L レベル、制御端子 T2L が H レベルとなると開路される。

**【0009】** 前記スイッチ回路 SW1 の入力端子にはテストデータ TD が入力され、出力端子は前記 RAM マクロ 1 に接続される。前記スイッチ回路 SW2 の入力端子には内部制御回路から通常データ ND が入力され、出力端子は前記 RAM マクロ 1 に接続される。なお、図 3 においては、テストデータ TD 及び通常データ ND を入力する信号線を 1 本ずつ図示したが、テストデータ TD 及び通常データ ND は、それぞれアドレス信号、入力データ及びクロック信号等から構成されるため、それぞれ複数本の信号線がそれぞれスイッチ回路を介して RAM マクロ 1 に接続される。そして、このような試験回路が接続された RAM マクロが同一チップ上に複数設けられている。

**【0010】** 上記のような半導体集積回路装置では、通常動作時にはテストモード信号 TM が L レベルとなる。すると、NAND 回路 2b の出力信号はマクロ選択信号 SL0~SL3 に関わらず H レベルとなり、インバータ回路 3b の出力信号は L レベルとなる。

**【0011】** すると、スイッチ回路 SW1 は開路され、スイッチ回路 SW2 は閉路される。この結果、RAM マクロ 1 には内部ゲート回路から通常データ ND を入力可能な状態となり、同通常データ ND により書き込み及び読み出し動作が行われる。

**【0012】** 一方、テストモード時にテストモード信号 TM が H レベルとなると、NAND 回路 2b はインバータ回路 3a の出力信号を待つ状態となる。この状態で、

マクロ選択信号SL0～SL3がすべてHレベルとなると、NAND回路2aの出力信号はLレベルとなり、インバータ回路3aの出力信号はHレベルとなる。

【0013】すると、NAND回路2bの出力信号はLレベルとなり、インバータ回路3bの出力信号はHレベルとなる。そして、スイッチ回路SW1は閉路され、スイッチ回路SW2は開路される。

【0014】この結果、外部試験装置からテストデータTDをRAMマクロ1に入力可能な状態となり、そのテストデータTDに基づいてRAMマクロ1の動作試験が行われる。

【0015】その動作試験の一つであるデータ保持試験は、外部試験装置によりRAMマクロ1内の各記憶セルに書き込み動作を行い、仕様を満足する一定のデータ保持時間後に各記憶セルからセル情報を読み出して、書き込みデータと一致するか否かをチェックする。

【0016】このようなデータ保持試験は、マクロ選択信号SL0～SLnに基づいて選択される各RAMマクロについて、順次行われる。また、テストモード時に、マクロ選択信号SL0～SL3がすべてHレベルとならず、RAMマクロ1が選択されないときには、NAND回路2aの出力信号はHレベルとなり、インバータ回路3aの出力信号はLレベルとなる。すると、NAND回路2bの出力信号はHレベルとなり、インバータ回路3bの出力信号はLレベルとなる。そして、スイッチ回路SW1は閉路され、スイッチ回路SW2は開路される。この結果、RAMマクロ1は内部制御回路に接続された状態となる。

【0017】

【発明が解決しようとする課題】上記のような半導体集積回路装置では、テストモード時に選択されていないRAMマクロは、スイッチ回路SW2が閉路されることにより、内部制御回路に接続された状態となる。

【0018】この状態では、内部制御回路から当該RAMマクロにクロック信号等が入力されて、当該RAMマクロがセル情報のセルフリフレッシュ動作を行っている可能性がある。

【0019】そこで、データ保持試験時には選択されたRAMマクロに所定のデータを書き込んだ後、一定のデータ保持時間を経過させ、その後読み出し動作を行ってセル情報のチェックを行っている。

【0020】従って、上記動作を各RAMマクロ毎に行う必要があるため、RAMマクロの数が増大するにつれて、試験時間が増大し、試験コストが上昇するという問題点がある。

【0021】また、外部試験装置により試験用の外部端子から各RAMマクロに同時にアクセスしてデータ保持試験を行えば、試験時間を短縮することはできるが、RAMマクロの数が増大するにつれて、試験専用端子の数が増大するため、通常時に使用するための外部端子数が

減少するという問題点がある。

【0022】この発明の目的は、試験用の外部端子数を増加させることなく、同一チップに設けられた多数のRAMマクロの試験時間を短縮し得る半導体集積回路装置を提供することにある。

【0023】

【課題を解決するための手段】図1は本発明の原理説明図である。すなわち、内部制御回路14は複数のRAMマクロ11に通常データNDを出力して、セル情報の書き込み動作及び読み出し動作を行う。スイッチ回路15は外部試験装置16から入力されるテストモード信号TMと、前記各RAMマクロ11のいずれか一つを選択するマクロ選択信号SLとに基づいて、該RAMマクロ11を順次外部試験装置16に接続して各RAMマクロ11のデータ保持試験を行う。前記スイッチ回路15は、前記テストモード信号TMとマクロ選択信号SLとに基づいて前記RAMマクロ11を選択して当該RAMマクロ11に対し前記外部試験装置16によるテストデータTDの書き込み動作及び読み出し動作を可能とする。前記スイッチ回路15は、前記マクロ選択信号SLに基づいて選択されないRAMマクロ11と前記内部制御回路14との接続を遮断し、前記テストモード信号TMが入力されないときは前記内部制御回路14を前記各RAMマクロ11に接続する。

【0024】また、図2に示すように前記スイッチ回路15は、選択されないRAMマクロ11の入力端子を電源VEEに接続する。

【0025】

【作用】テストモード時にテストモード信号TMが外部試験装置16からスイッチ回路15に入力され、同スイッチ回路15にマクロ選択信号SLが入力されると、選択されたRAMマクロ11に対し外部試験装置16によりテストデータTDの書き込み及び読み出し動作が行われる。選択されないRAMマクロ11は、外部試験装置16及び内部制御回路14との接続が遮断される。スイッチ回路15にテストモード信号TMが入力されないときは、各RAMマクロ11は内部制御回路14に接続される。

【0026】また、テストモード時に選択されないRAMマクロ11の入力端子は電源VEEに接続されて、当該RAMマクロ11のセル情報のセルフリフレッシュ動作が停止される。

【0027】

【実施例】以下、この発明を具体化した半導体集積回路装置の一実施例を説明する。図2に示すように、外部試験装置から入力される複数ビットのマクロ選択信号はデコーダ（図示しない）に入力され、同デコーダから多ビットの選択信号SL0～SLnが出力され、例えば第一のRAMマクロ11を選択するために、同マクロ選択信号SL0～SLnの中から4ビットのマクロ選択信号S

L0～SL3がNAND回路12aに入力される。

【0028】前記NAND回路12aの出力信号は、NAND回路12bの一方の入力端子に入力され、インバータ回路13aを介してNAND回路12cの一方の入力端子に入力される。

【0029】前記NAND回路12b、12cの他方の入力端子には、外部試験装置からテストモード信号TMが入力される。前記NAND回路12bの出力信号は、インバータ回路13bに入力されるとともに、スイッチ回路SW11の制御端子T11Lに入力される。前記インバータ回路13bの出力信号は、前記スイッチ回路SW11の制御端子T11Hに入力される。

【0030】前記NAND回路12cの出力信号は、インバータ回路13cに入力されるとともに、スイッチ回路SW12の制御端子T12Lに入力される。前記インバータ回路13cの出力信号は、スイッチ回路SW12の制御端子T12Hに入力される。

【0031】前記テストモード信号TMは、スイッチ回路SW13の制御端子T13Lに入力されるとともに、インバータ回路13dに入力される。前記インバータ回路13dの出力信号は、前記スイッチ回路SW13の制御端子T13Hに入力される。

【0032】前記スイッチ回路SW11は制御端子T11HがHレベル、制御端子T11LがLレベルとなると閉路され、制御端子T11HがLレベル、制御端子T11LがHレベルとなると開路される。

【0033】前記スイッチ回路SW12は制御端子T12HがHレベル、制御端子T12LがLレベルとなると閉路され、制御端子T12HがLレベル、制御端子T12LがHレベルとなると開路される。

【0034】前記スイッチ回路SW13は制御端子T13HがHレベル、制御端子T13LがLレベルとなると閉路され、制御端子T13HがLレベル、制御端子T13LがHレベルとなると開路される。

【0035】前記スイッチ回路SW11の入力端子には電源VEEが入力され、出力端子は前記RAMマクロ11に接続される。前記スイッチ回路SW12の入力端子にはテストデータTDが入力され、出力端子は前記RAMマクロ11に接続される。

【0036】前記スイッチ回路SW13の入力端子には内部制御回路から通常データNDが入力され、出力端子は前記RAMマクロ11に接続される。なお、図2においては、テストデータTD及び通常データNDを入力する信号線を1本ずつ図示したが、テストデータTD及び通常データNDは、それぞれアドレス信号、入力データ及びクロック信号等から構成されるため、それぞれ複数本の信号線がスイッチ回路を介してRAMマクロ11に接続される。そして、このような試験回路が接続されたRAMマクロが同一チップ上に複数設けられている。

【0037】上記のような半導体集積回路装置では、通

常動作時にはテストモード信号TMがLレベルとなる。すると、NAND回路12b、12cの出力信号はマクロ選択信号SL0～SL3に関わらずHレベルとなり、インバータ回路13b、13cの出力信号はLレベルとなる。また、インバータ回路13dの出力信号はHレベルとなる。

【0038】すると、スイッチ回路SW11は開路され、スイッチ回路SW12は開路され、スイッチ回路13は閉路される。この結果、RAMマクロ11には内部制御回路から通常データNDを入力可能な状態となり、同通常データNDにより書き込み及び読み出し動作が行われる。

【0039】一方、テストモード時にテストモード信号TMがHレベルとなると、インバータ回路13dの出力信号はLレベルとなる。すると、スイッチ回路SW13は開路される。

【0040】また、NAND回路12b、12cはインバータ回路13aの出力信号を待つ状態となる。この状態で、マクロ選択信号SL0～SL3がすべてHレベルとなると、NAND回路12aの出力信号はLレベルとなり、インバータ回路13aの出力信号はHレベルとなる。

【0041】すると、NAND回路12cの出力信号はLレベルとなり、インバータ回路13cの出力信号はHレベルとなる。そして、スイッチ回路SW12は閉路される。

【0042】また、NAND回路12bの出力信号はHレベルとなり、インバータ回路13bの出力信号はLレベルとなる。すると、スイッチ回路SW11は開路される。従って、この状態ではRAMマクロ11が選択されて、外部試験装置からスイッチ回路SW12を介してテストデータTDの書き込み動作あるいは読み出し動作が可能となる。

【0043】また、テストモード時にテストモード信号TMがHレベルとなった状態で、マクロ選択信号SL0～SL3がすべてHレベルとならず、他のRAMマクロが選択された状態では、NAND回路12aの出力信号はHレベルとなり、インバータ回路13aの出力信号はLレベルとなる。

【0044】すると、NAND回路12bの出力信号はLレベルとなり、インバータ回路13bの出力信号はHレベルとなる。この結果、スイッチ回路SW11は閉路される。

【0045】また、NAND回路12cの出力信号はHレベルとなり、インバータ回路13cの出力信号はLレベルとなる。すると、スイッチ回路SW12は開路される。この状態ではRAMマクロ11の入力信号線は電源VEEレベルにクランプされる。

【0046】従って、この半導体集積回路装置では、テストモード時に非選択状態となるRAMマクロの入力信

号線は、電源VEEにクランプされるため、RAMマクロ内で各記憶セルに対するセルフリフレッシュ動作等のアクセスは停止される。

【0047】このような半導体集積回路装置において、RAMマクロのデータ保持試験を行う場合には、テストモード信号TMをHレベルとした状態で、マクロ選択信号SL<sub>0</sub>～SL<sub>n</sub>に基づいて各RAMマクロを順次選択し、各RAMマクロ内の記憶セルにテストデータを書き込む。

【0048】テストデータの書き込み動作が終了したのち、一定のデータ保持時間後に、各RAMマクロを順次選択し、各RAMマクロ内の記憶セルからセル情報を順次読みだしてデータ保持時間のチェックを行う。

【0049】このようなデータ保持試験では、RAMマクロを順次選択してテストデータTDの書き込み動作及び読み出し動作を行うことは前記従来例と同様であるが、各RAMマクロに同時にデータ保持動作を行わせることができる。

【0050】従って、RAMマクロの数をNとすれば、データ保持時間を前記従来例の1/Nとすることができる。このデータ保持時間はテストデータの書き込み動作及び読み出し動作に要する時間に比して、例えば10～20倍程度の時間を要するので、試験時間を大幅に短縮することができる。

【0051】また、データ保持試験に要する外部端子数を増加させることもない。上記実施例から把握できる請

求項以外の技術思想について、以下にその効果とともに記載する。

【0052】(1) 請求項1において、前記スイッチ回路はテストモード信号が入力された状態で、選択されないRAMマクロの入力端子を一定電位にクランプする。選択されないRAMマクロのセルフリフレッシュ動作が停止される。

【0053】

【発明の効果】以上詳述したように、この発明は試験用の外部端子数を増加させることなく、同一チップに設けられた多数のRAMマクロの動作試験を行うために要する試験時間を短縮し得る半導体集積回路装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】一実施例を示す回路図である。

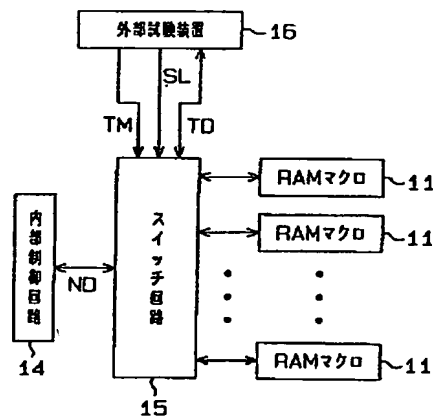
【図3】従来例を示す回路図である。

【符号の説明】

1 1	RAMマクロ
1 4	内部制御回路
1 5	スイッチ回路
1 6	外部試験装置
ND	通常データ
TM	テストモード信号
SL	マクロ選択信号
TD	テストデータ

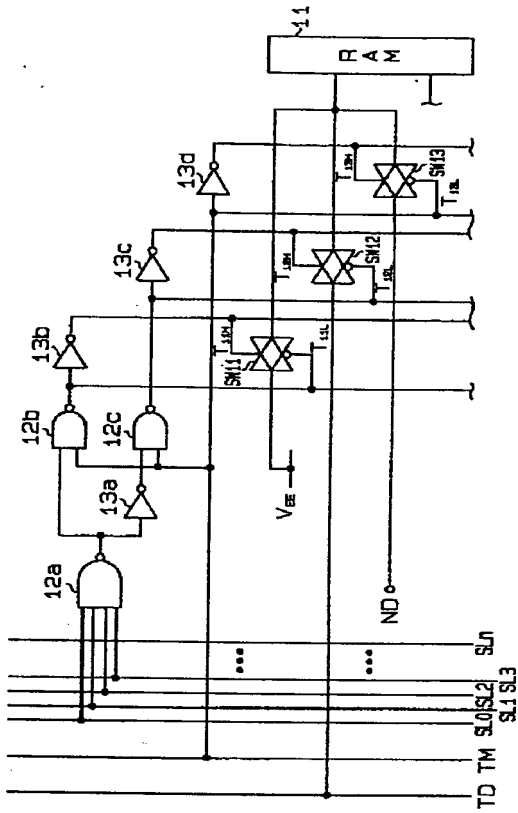
【図1】

本発明の原理説明図



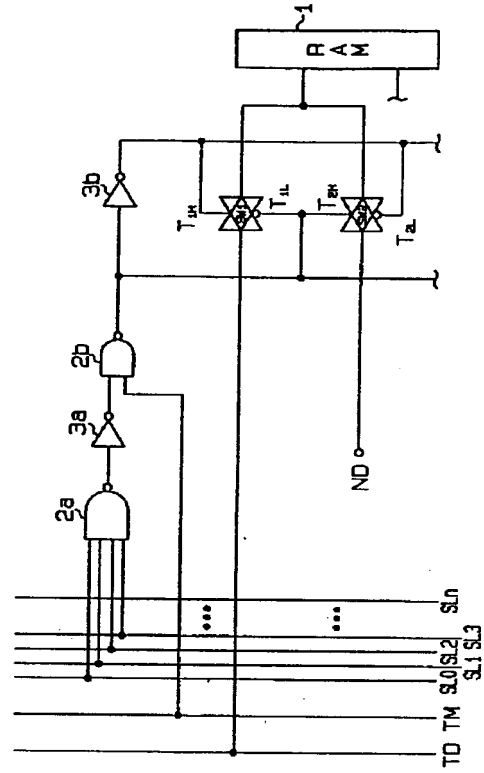
【図2】

一実施例を示す回路図



【図3】

従来例を示す回路図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**